

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 4 年 6 月 2 3 日

出 願 番 号

Application Number:

特 願 2 0 0 4 - 1 8 5 2 3 7

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 1 8 5 2 3 7

出 願 人

Applicant(s):

キヤノン株式会社

2 0 0 5 年 7 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



RECTIFIABLE COPY

【官製印】	付訂願
【整理番号】	0004612-01
【提出日】	平成16年 6月23日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 21/00
【発明者】	
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名】	キヤノン株式会社内 関口 芳信
【発明者】	
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名】	キヤノン株式会社内 米原 隆夫
【発明者】	
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名】	キヤノン株式会社内 古藤 誠
【発明者】	
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名】	キヤノン株式会社内 奥田 昌宏
【発明者】	
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名】	キヤノン株式会社内 嶋田 哲也
【特許出願人】	
【識別番号】	000001007
【氏名又は名称】	キヤノン株式会社
【代理人】	
【識別番号】	100076428
【弁理士】	
【氏名又は名称】	大塚 康德
【電話番号】	03-5276-3241
【選任した代理人】	
【識別番号】	100112508
【弁理士】	
【氏名又は名称】	高柳 司郎
【電話番号】	03-5276-3241
【選任した代理人】	
【識別番号】	100115071
【弁理士】	
【氏名又は名称】	大塚 康弘
【電話番号】	03-5276-3241
【選任した代理人】	
【識別番号】	100116894
【弁理士】	
【氏名又は名称】	木村 秀二
【電話番号】	03-5276-3241
【連絡先】	担当
【手数料の表示】	
【予納台帳番号】	003458
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1

BEST AVAILABLE COPY

【物件名】 要約書 1
【包括委任状番号】 0102485

BEST AVAILABLE COPY

【請求項 1】

シード基板から分離された半導体層の製造方法であって、
シード基板上に分離層をヘテロエピタキシャル成長させる分離層形成工程と、
前記分離層上に半導体層を形成する半導体層形成工程と、
前記半導体層形成工程を経て形成される複合部材から前記分離層を利用して前記半導体層を分離する分離工程と、
を含むことを特徴とする半導体層の製造方法。

【請求項 2】

前記分離層形成工程では、前記分離層として、前記分離層の内部、及び／又は、前記分離層と前記半導体層との界面、及び／又は、前記分離層と前記シード基板との界面に歪エネルギーを発生させることができる層を形成することを特徴とする請求項 1 に記載の半導体層の製造方法。

【請求項 3】

前記分離層形成工程では、格子定数及び／又は熱膨張係数が前記シード基板と異なる材料で前記分離層を形成することを特徴とする請求項 1 に記載の半導体層の製造方法。

【請求項 4】

前記分離工程では、前記複合部材に力を印加することにより前記複合部材から前記半導体層を分離することを特徴とする請求項 1 に記載の半導体層の製造方法。

【請求項 5】

前記シード基板は、単結晶構造を有することを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の半導体層の製造方法。

【請求項 6】

前記分離層形成工程では、結晶構造を有する分離層を形成することを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の半導体層の製造方法。

【請求項 7】

前記分離層形成工程では、微結晶構造を有する分離層を形成することを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の半導体層の製造方法。

【請求項 8】

前記半導体層形成工程では、単結晶構造を有する半導体層を形成することを特徴とする請求項 1 乃至請求項 7 のいずれか 1 項に記載の半導体層の製造方法。

【請求項 9】

前記分離工程では、前記分離層の内部、及び／又は、前記分離層と前記半導体層との界面、及び／又は、前記分離層と前記シード基板との界面に、前記シード基板の面方向に沿って広がる亀裂を発生させることにより、前記複合部材から前記半導体層を分離することを特徴とする請求項 1 乃至請求項 8 のいずれか 1 項に記載の半導体層の製造方法。

【請求項 10】

前記シード基板は、 Al_2O_3 、 SiC 、 $GaAs$ 、 InP 、 Ge 、 Si からなるグループから選択されるいずれかの材料により構成されていることを特徴とする請求項 1 乃至請求項 9 のいずれか 1 項に記載の半導体層の製造方法。

【請求項 11】

前記分離層形成工程では、化合物半導体により構成される分離層を形成することを特徴とする請求項 1 乃至請求項 10 のいずれか 1 項に記載の半導体層の製造方法。

【請求項 12】

前記分離層形成工程では、 GaN 、 $InGaN$ 、 $AlGaIn$ 、 AlN 、 $AlAs$ 、 $AlGaAs$ 、 $InGaAs$ 、 $InAlAs$ 、 $InGaAlP$ 、 $InGaAsP$ 、 $InGaP$ からなるグループから選択されるいずれかの材料により構成される分離層を形成することを特徴とする請求項 1 乃至請求項 10 のいずれか 1 項に記載の半導体層の製造方法。

【請求項 13】

前記半導体層形成工程では、 GaN 、 $GaAs$ 、 InP 、 $AlGaAs$ 、 $InGaIn$ 、

AlGaIn、AlIn、AlAs、InGaAs、InAlAs、InGaAl、InGaAsP、InGaPからなるグループから選択されるいずれかの材料により構成される半導体層を形成することを特徴とする請求項1乃至請求項12のいずれか1項に記載の半導体層の製造方法。

【請求項14】

前記半導体層形成工程では、前記半導体層をエピタキシャル成長により形成することを特徴とする請求項1乃至請求項13のいずれか1項に記載の半導体層の製造方法。

【請求項15】

前記シード基板は、 Al_2O_3 又はSiCにより構成され、前記分離層は、GaN、InGaN、AlGaN、AlNからなるグループから選択されるいずれかの材料により構成されることを特徴とする請求項1乃至請求項9のいずれか1項に記載の半導体層の製造方法。

【請求項16】

前記シード基板は、GaAs、InP、Geからなるグループから選択されるいずれかの材料により構成され、前記分離層は、AlGaAs、InGaAs、InAlAs、InGaAlP、InGaAsP、InGaPからなるグループから選択されるいずれかの材料により構成されることを特徴とする請求項1乃至請求項9のいずれか1項に記載の半導体層の製造方法。

【請求項17】

前記シード基板と前記分離層との間において、前記基板及び前記分離層に対して選択的にエッチングが可能な材料で分離補助層を形成する工程を更に含むことを特徴とする請求項1乃至請求項16のいずれか1項に記載の半導体層の製造方法。

【請求項18】

前記シード基板と前記分離層との間に分離補助層を形成する工程を更に含み、前記分離補助層は、それに接する層よりもAlを多く含んでいることを特徴とする請求項1乃至請求項16のいずれか1項に記載の半導体層の製造方法。

【請求項19】

前記シード基板と前記分離層との間において分離補助層を形成する工程を更に含み、前記分離補助層は、 $Al_xGa_{1-x}As$ ($x > 0.95$)を満足する材料で構成されることを特徴とする請求項1乃至請求項16のいずれか1項に記載の半導体層の製造方法。

【請求項20】

前記分離工程の前において前記分離補助層の周辺部をエッチングする工程を更に含むことを特徴とする請求項17乃至請求項19のいずれか1項に記載の半導体層の製造方法。

【請求項21】

前記分離工程では、前記複合部材の側面の前記分離層又はその近傍に流体を吹き付けることを特徴とする請求項20に記載の半導体層の製造方法。

【請求項22】

前記半導体層形成工程の後であって前記分離工程の前において、前記分離層及び前記半導体層が形成された前記シード基板を、前記分離層を内側にして、ハンドル基板に接合する接合工程を更に含み、

前記分離工程では、前記接合工程を経て形成される複合部材から、前記分離層を利用して、前記ハンドル基板とともに前記半導体層を分離することを特徴とする請求項1乃至請求項21のいずれか1項に記載の半導体層の製造方法。

【請求項23】

前記半導体層に半導体素子を形成する素子形成工程を更に含むことを特徴とする請求項1乃至請求項22のいずれか1項に記載の半導体層の製造方法。

【請求項24】

前記接合工程の前に前記素子形成工程を実施することを特徴とする請求項23に記載の半導体層の製造方法。

【請求項25】

前記分離工程の後に前記素子形成工程を実施することを特徴とする請求項 25 に記載の半導体層の製造方法。

【請求項 26】

前記分離工程の後に残るシード基板を原料として前記分離層形成工程及びその後の工程を更に実施して更に半導体層を製造することを特徴とする請求項 1 乃至請求項 25 のいずれか 1 項に記載の半導体層の製造方法。

【請求項 27】

半導体層を有する基板の製造方法であって、
シード基板上に分離層をヘテロエピタキシャル成長させる分離層形成工程と、
前記分離層上に半導体層を形成する半導体層形成工程と、
前記分離層及び前記半導体層が形成された前記シード基板を、前記分離層を内側にして、
ハンドル基板に接合する接合工程と、
前記接合工程を経て形成される複合部材から、前記分離層を利用して、前記ハンドル基板とともに前記半導体層を分離して、前記ハンドル基板上に前記半導体層を有する基板を得る分離工程と、
を含むことを特徴とする基板の製造方法。

【請求項 28】

前記半導体層に半導体素子を形成する素子形成工程を更に含むことを特徴とする請求項 27 に記載の基板の製造方法。

【請求項 29】

前記接合工程の前に前記素子形成工程を実施することを特徴とする請求項 28 に記載の基板の製造方法。

【請求項 30】

前記分離工程の後に前記素子形成工程を実施することを特徴とする請求項 28 に記載の基板の製造方法。

【請求項 31】

前記半導体素子は、発光ダイオード又はレーザーを含むことを特徴とする請求項 28 乃至請求項 30 のいずれか 1 項に記載の基板の製造方法。

【発明の名称】 半導体層の製造方法及び基板の製造方法

【技術分野】

【0001】

本発明は、分離工程を利用した半導体層の製造方法及びその応用に関する。

【背景技術】

【0002】

Al₂O₃ 基板上にGa₂N層をエピタキシャル成長させ、その後、Al₂O₃ 基板に対してその裏面よりパルスレーザーを照射することにより、Al₂O₃ 基板とGa₂N層との界面近傍でGa₂Nを分解し、Al₂O₃ 基板からGa₂N層を分離する方法（以下、レーザーリフトオフ法と呼ぶ。）が、特許文献1乃至3並びに非特許文献1乃至3に記載されている。

【特許文献1】 米国特許第6559075号公報

【特許文献2】 米国特許第6071795号公報

【特許文献3】 特許第3518455号公報

【非特許文献1】 O. Ambacher et al.、Materials Research Society Symposium、Vol. 617 (2000)、pp. J1. 7. 1-J1. 7. 12

【非特許文献2】 W. S. Wong et al.、Applied Physics Letters、Vol. 75、No. 10、6 September 1999、pp. 1360-1362

【非特許文献3】 D. Morita et al.、Japanese Journal of Applied Physics、Vol. 41 (2002)、pp. L1434-L1436

【発明の開示】

【発明が解決しようとする課題】

【0003】

レーザーリフトオフ法では、パルスレーザーの照射による分離の際に、Ga₂Nの分解によって発生するN₂ガスのガス圧によって、Al₂O₃ 基板に割れが生じてしまうことがある。そして、この際に、Ga₂N層にマイクロクラック等のダメージを与えられることがある。マイクロクラックは、ダメージを受けたGa₂N層上にその後に形成される素子の特性劣化や歩留まりの低下等をまねく要因となる。

【0004】

また、レーザーリフトオフ法では、パルスレーザーで基板の全面を走査する必要があるために、分離のために長時間を要することになる。

【0005】

また、レーザーリフトオフ法では、Ga₂N層の分離面に、パルスレーザーの走査による痕跡としての凹凸が生じてしまう。この凹凸を除去するためには研磨等の付加的な工程が必要となり、作業の煩雑化が生じ、製造工程が増えることで歩留まりの低下をまねくことがある。

【0006】

また、レーザーリフトオフ法では、半導体層を成長させるための基板として適用される基板は、レーザー光を透過するAl₂O₃ 基板等の透過性基板に限定される。よって、レーザーリフトオフ法にSiC基板、GaAs基板、Ge基板等の非透過性基板を適用することは困難である。

【0007】

以上のように、レーザーリフトオフ法による基板の分離方法を半導体デバイスの量産に導入するに際しては、素子特性を良好にすると共に、歩留まりの向上等を良好にするためのさらなる技術開発が求められている。

【0008】

本発明は、上記の課題認識を基礎としてなされたものであり、前記の分離技術を利用した半導体層の製造方法及びその応用を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の第1の側面は、シード基板から分離された半導体層の製造方法に係り、前記製造方法は、シード基板上に分離層をヘテロエピタキシャル成長させる分離層形成工程と、前記分離層上に半導体層を形成する半導体層形成工程と、前記半導体層形成工程を経て形成される複合部材から前記分離層を利用して前記半導体層を分離する分離工程とを含むことを特徴とする。

【0010】

本発明の好適な実施形態によれば、前記分離層形成工程では、前記分離層として、前記分離層の内部、及び／又は、前記分離層と前記半導体層との界面、及び／又は、前記分離層と前記シード基板との界面に歪エネルギーを発生させることができる層を形成することが好ましい。

【0011】

本発明の好適な実施形態によれば、前記分離層形成工程では、格子定数及び／又は熱膨張係数が前記シード基板と異なる材料で前記分離層を形成することが好ましい。

【0012】

本発明の好適な実施形態によれば、前記分離工程では、前記複合部材に力を印加することにより前記複合部材から前記半導体層を分離することが好ましい。

【0013】

本発明の好適な実施形態によれば、前記シード基板は、単結晶構造を有することが好ましい。

【0014】

本発明の好適な実施形態によれば、前記分離層形成工程では、結晶構造を有する分離層を形成することが好ましい。

【0015】

本発明の好適な実施形態によれば、前記分離層形成工程では、微結晶構造を有する分離層を形成することが好ましい。

【0016】

本発明の好適な実施形態によれば、前記半導体層形成工程では、単結晶構造を有する半導体層を形成することが好ましい。

【0017】

本発明の好適な実施形態によれば、前記分離工程では、前記分離層の内部、及び／又は、前記分離層と前記半導体層との界面、及び／又は、前記分離層と前記シード基板との界面に、前記シード基板の面方向に沿って広がる亀裂を発生させることにより、前記複合部材から前記半導体層を分離することが好ましい。

【0018】

本発明の好適な実施形態によれば、前記シード基板は、 Al_2O_3 、SiC、GaAs、InP、Ge、Siからなるグループから選択されるいずれかの材料により構成されることが好ましい。

【0019】

本発明の好適な実施形態によれば、前記分離層形成工程では、化合物半導体により構成される分離層を形成することが好ましい。

【0020】

本発明の好適な実施形態によれば、前記分離層形成工程では、GaN、InGaN、AlGaN、AlN、AlAs、AlGaAs、InGaAs、InAlAs、InGaAlP、InGaAsP、InGaPからなるグループから選択されるいずれかの材料により構成される分離層を形成することが好ましい。

【0021】

本発明の好適な実施形態によれば、前記半導体層形成工程では、GaN、GaAs、InP、AlGaAs、InGaN、AlGaN、AlN、AlAs、InGaAs、InAlAs、InGaAlP、InGaAsP、InGaPからなるグループから選択されるいずれかの材料により構成される半導体層を形成することが好ましい。

【0022】

本発明の好適な実施形態によれば、前記半導体層形成工程は、前記半導体層をエピタキシャル成長により形成することが好ましい。

【0023】

本発明の好適な実施形態によれば、前記シード基板は、Al₂O₃又はSiCにより構成され、前記分離層は、GaN、InGaN、AlGaN、AlNからなるグループから選択されるいずれかの材料により構成されることが好ましい。

【0024】

本発明の好適な実施形態によれば、前記シード基板は、GaAs、InP、Geからなるグループから選択されるいずれかの材料により構成され、前記分離層は、AlGaAs、InGaAs、InAlAs、InGaAlP、InGaAsP、InGaPからなるグループから選択されるいずれかの材料により構成されることが好ましい。

【0025】

本発明の好適な実施形態によれば、前記製造方法は、前記シード基板と前記分離層との間において、前記基板及び前記分離層に対して選択的にエッチングが可能な材料で分離補助層を形成する工程を更に含むことが好ましい。

【0026】

本発明の好適な実施形態によれば、前記製造方法は、前記シード基板と前記分離層との間に分離補助層を形成する工程を更に含み、前記分離補助層は、それに接する層よりもAlを多く含んでいることが好ましい。

【0027】

本発明の好適な実施形態によれば、前記製造方法は、前記シード基板と前記分離層との間において分離補助層を形成する工程を更に含み、前記分離補助層は、Al_xGa_{1-x}As (x>0.95)を満足する材料で構成されることが好ましい。

【0028】

本発明の好適な実施形態によれば、前記製造方法は、前記分離工程の前において前記分離補助層の周辺部をエッチングする工程を更に含むことが好ましい。

【0029】

本発明の好適な実施形態によれば、前記分離工程では、前記複合部材の側面の前記分離層又はその近傍に流体を吹き付けることが好ましい。

【0030】

本発明の好適な実施形態によれば、前記製造方法は、前記半導体層形成工程の後であって前記分離工程の前において、前記分離層及び前記半導体層が形成された前記シード基板を、前記分離層を内側にして、ハンドル基板に接合する接合工程を更に含み、前記分離工程では、前記接合工程を経て形成される複合部材から、前記分離層を利用して、前記ハンドル基板とともに前記半導体層を分離することが好ましい。

【0031】

本発明の好適な実施形態によれば、前記製造方法は、前記半導体層に半導体素子を形成する工程を更に含むことが好ましい。

【0032】

本発明の好適な実施形態によれば、前記接合工程の前に前記素子形成工程を実施してもよいし、前記分離工程の後に前記素子形成工程を実施してもよい。

【0033】

本発明の好適な実施形態によれば、前記分離工程の後に残るシード基板を再使用すること、すなわち、前記分離工程の後に残るシード基板を原料として前記分離層形成工程及びその後の工程を更に実施して更に半導体層を製造することが好ましい。

本発明の第2の側面は、半導体層を有する基板の製造方法に係り、前記製造方法は、シード基板上に分離層をヘテロエピタキシャル成長させる分離層形成工程と、前記分離層上に半導体層を形成する半導体層形成工程と、前記分離層及び前記半導体層が形成された前記シード基板を、前記分離層を内側にして、ハンドル基板に接合する接合工程と、前記接合工程を経て形成される複合部材から、前記分離層を利用して、前記ハンドル基板とともに前記半導体層を分離して、前記ハンドル基板上に前記半導体層を有する基板を得る分離工程とを含むことを特徴とする。

【 0 0 3 5 】

本発明の好適な実施形態によれば、前記基板の製造方法は、前記半導体層に半導体素子を形成する素子形成工程を更に含む。ここで、前記素子形成工程は、前記接合工程の前に実施されてもよいし、前記接合工程の後に実施されてもよい。

【 0 0 3 6 】

前記半導体素子は、例えば、発光ダイオード又はレーザーを含む。

【発明の効果】

【 0 0 3 7 】

本発明によれば、新規の分離技術を利用した半導体層の製造方法及びその応用を提供することができ、本発明によれば、例えば、ダメージが少ない半導体層又はそれを有する基板を製造すること、及び／又は、歩留まりを向上させること、及び／又は、スループットを向上させること、及び／又は、ハンドル基板の選択の自由度を向上させることができる。

【発明を実施するための最良の形態】

【 0 0 3 8 】

以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【 0 0 3 9 】

【第1の実施形態（分離方法）】

以下、本発明の好適な第1の実施形態として、基板から半導体層を分離する方法、或いは、基板から分離された半導体層を製造する方法について説明する。図1は、基板から半導体層を分離する方法、或いは、基板から分離された半導体層を製造する方法を概略的に示す図である。

【 0 0 4 0 】

まず、図1(a)に示す分離層形成工程において、Ge基板等の結晶性を有するシード基板1の上に、シード基板1とは格子定数の異なる半導体層、例えばAlAs又はInGaAsからなる分離層2をヘテロエピタキシャル成長させる。

【 0 0 4 1 】

次いで、図1(b)に示す半導体層形成工程において、分離層2の上にGaAs等の半導体層3を形成し、基板1、分離層2及び半導体層3を含む複合部材1aを形成する。この際に、半導体層3に半導体素子を形成することもできる。

次いで、図1(c)に示す分離工程において、分離層2を利用して複合部材1aから半導体層3を分離する。半導体層3の分離は、例えば、分離層2の内部、及び／又は、分離層2と半導体層3との界面、及び／又は、分離層2と基板1との界面に、複合部材1aの面方向に沿って広がる亀裂を形成することによってなされうる。なお、図1(c)には、分離層2と基板1との界面に、複合部材1aの面方向に沿った亀裂cを形成することにより、複合部材1aから半導体層3が分離される様子が模式的に示されている。

【 0 0 4 2 】

例えば、Ge基板等の結晶性を有するシード基板1の上に、基板1とは格子定数及び／又は熱膨張係数の異なるInGaAs等の分離層2をヘテロエピタキシャル成長させ、分離層2上にGaAs等の半導体層3を形成することにより、分離層2の内部、及び／又は、分離層2と半導体層3との界面、及び／又は、分離層と基板1との界面に、格子定数及び／又は熱膨張係数の不整合に起因する歪みエネルギーを集中的に生じさせることができ

る。そして、この次に、複合部材 1 a の歪みエネルギー、又は、この一部（例えば、分離層 2 の内部、及び／又は、分離層 2 と半導体層 3 との界面、及び／又は、分離層 2 と基板 1 との界面）に、分離を誘発するための力（分離誘発力）を外から印加することにより、複合部材 1 a の内部に生じている歪みエネルギーを利用して複合部材 1 a から半導体層 2 を分離することができる。ここで、複合部材 1 a の全体又は一部に分離誘発力を印加することにより、複合部材 1 a（或いは、半導体層 3、分離層 2、基板 1）の面方向に沿って平面的に分布する歪みエネルギーを有する部分に選択的に亀裂を発生させることができる。分離誘発力は、必ずしも、半導体層 3 が完全に複合部材 1 a から分離されるまで印加し続ける必要はない。複合部材 1 a に部分的に亀裂が生じた後は、外部からの力の印加を停止した場合においても、その部分的な亀裂によって新たな歪みエネルギーが発生して、それによって自己促進的に亀裂が広がって分離層 3 が複合部材から完全に分離されることもある。

シード基板 1 とそれから分離すべき半導体層 2 との間に分離層 2 を設けることにより、半導体層 2 に大きなダメージを与えることなく、分離層 2 の内部、及び／又は、分離層 2 と半導体層 3 との界面、及び／又は、分離層 2 と基板 1 との界面のみに亀裂を生じさせて、基板 1 から半導体層 2 を分離することができる。

シード基板 1 は、単結晶構造を有する材料により構成されることが望ましく、Ge 基板のほか、例えば、 Al_2O_3 、SiC、GaAs、InP、Si の基板が好適である。

【0043】

分離層 2 は、シード基板 1 とは格子定数及び／又は熱膨張係数の異なる材料により構成されるべきであり、InGaAs のほか、例えば、GaN、InGaN、AlGaN、AlN、AlAs、AlGaAs、InAlAs、InGaAlP、InGaAsP、InGaP の化合物半導体材料が好適である。

【0044】

半導体層 3 は、GaAs のほか、例えば、GaN、AlGaAs、InP、InGaN、AlGaN、AlN、AlAs、InGaAs、InAlAs、InGaAlP、InGaAsP、InGaP のいずれかの材料を含む化合物半導体材料が好適である。

【0045】

複合部材から半導体層を分離する分離工程では、分離層 2 又はその近傍に流体 W を吹き付けて、分離層 2 の内部、及び／又は、分離層 2 と半導体層 3 との界面、及び／又は、分離層 2 と基板 1 との界面に流体 W を注入することにより複合部材 1 a の当該注入部分に亀裂を発生させて分離を行うことが好適である。

【0046】

ここで、分離層の一例としての AlAs エピタキシャル成長層は、半導体層の一例としての GaAs 層に対して 10^7 もの極めて高い選択エッチング特性を有する。この特性を利用して、流体の導入部分を形成することにより、分離の開始位置をより確実に分離層又はその界面に限定することができる。

【0047】

流体 W の注入による分離方法によれば、格子定数及び／又は熱膨張係数の不整合に起因して分離層 2 の内部、及び／又は、分離層 2 と半導体層 3 との界面、分離層 2 と及び基板 1 との界面に生じた歪みエネルギーと、流体 W の注入によるエネルギーとによって、分離層 2 の内部、及び／又は、分離層 2 と半導体層 3 との界面、分離層 2 と及び基板 1 との界面に亀裂を生じさせ、これを面方向に広げることができる。

半導体層の分離工程では、図 1 (d) に例示的に示すように、複合部材 1 a をその面方向に対して略垂直な軸を中心として回転させながら分離層 2 又はその近傍に流体 W を吹き付けると、基板 1 の外周部から中心部に向かって渦巻き状に分離を進行させることができる。

【0048】

流体としては、水等の液体のほか、空気、不活性ガス、エッチングガス等の気体を利用することができる。また、複合部材の分離層 2 又はその近傍に流体を吹き付ける代わりに

、アランハムに接口部材を収容して該接口部材に流体によつて圧力を印加することにより、

【0049】

以上のような本発明の好適な実施形態の方法によれば、分離の際に半導体層3及びシード基板1に与えられるダメージは、レーザーリフトオフ法に比較して大幅に低減される。よって、その後に半導体層3に形成される半導体素子の素子特性を良好にすることができる。

【0050】

また、本発明の好適な実施形態の方法によれば、半導体層3が分離された後のシード基板1を原料として再使用することが可能である。すなわち、分離後のシード基板1を原料として分離層形成工程、半導体層形成工程、分離工程の処理を複数回繰り返し施すことにより、半導体基板の製造コストを大幅に低減することができる。

【0051】

また、本発明の好適な実施形態の方法によれば、シード基板1として、透過性基板のほか、非透過性基板も利用することができる。

【第2の実施形態（基板の製法）】

以下、本発明の好適な第2の実施形態として、半導体層を有する基板の製造方法について説明する。図2は、半導体層を有する基板の製造方法を概略的に示す図である。

【0052】

まず、図2(a)に示す工程（分離層形成工程、半導体層形成工程）において、Ge基板等の結晶性を有する第1基板（シード基板）4の上に、第1基板4とは格子定数の異なる半導体層、例えばInGaAsからなる分離層5をヘテロエピタキシャル成長させる。次いで、分離層5の上にGaAs等の半導体層6を形成する。

【0053】

次いで、図2(b)に示す接合工程において、半導体層6を内側にして第1基板4をSi基板等の第2基板（ハンドル基板）7に接合して複合部材（複合基板）8を形成する。この接合において、それぞれの接合面に金属膜を形成し、金属面同士の接合とすることで、接合に必要な圧力や温度の制限を緩和することも可能である。この金属層は、接合材料として好適なほか、光反射層としてデバイス性能の向上に寄与する。

【0054】

次いで、図2(c)に示す分離工程において、複合部材8の分離層5の内部、及び／又は、分離層5と半導体層6との界面、及び／又は、分離層5と第1基板4との界面に面方向に広がる亀裂を生じさせて、半導体層6及び第2基板7を複合部材8から分離する。以上の工程により、半導体層6が第1基板4から第2基板7に移設され、図2(d)に示すように、第2基板7の上に半導体層6を有する基板9が得られる。この分離には、例えば、第1の実施形態で説明した方法を適用することができる。

例えば、Ge基板等の結晶性を有する第1基板（シード基板）4の上に、第1基板4とは格子定数及び／又は熱膨張係数の異なるInGaAs等の分離層5をヘテロエピタキシャル成長させ、分離層5上にGaAs等の半導体層6を形成し、半導体層6を内側にして第1基板4をSi等の第2基板（ハンドル基板）7に接合して複合部材8を形成することにより、分離層5の内部、及び／又は、分離層5と半導体層6との界面、及び／又は、分離層5と第1基板4との界面に、格子定数及び／又は熱膨張係数の不整合に起因する歪みエネルギーを集中的に生じさせることができる。そして、その後、複合部材8の全体、又は、その一部（例えば、分離層5の内部、及び／又は、分離層5と半導体層6との界面、及び／又は、分離層5と第1基板4との界面）に、分離誘発力を印加することにより、複合部材8の内部に生じている歪エネルギーを利用して複合部材8から半導体層6及び第2基板7を分離することができる。

第1基板（シード基板）4は、単結晶構造を有する材料により構成されることが望ましく、Ge基板のほか、例えば、Al₂O₃、SiC、GaAs、InP、Siの基板が好適である。

【 0 0 5 5 】

分離層5は、第1の基板4とは格子定数及び／又は熱膨張係数の異なる材料により構成されるべきであり、InGaAsのほか、例えば、GaN、InGaN、AlGaN、AlN、AlAs、AlGaAs、InAlAs、InGaAlP、InGaAsP、InGaPの化合物半導体材料が好適である。

【 0 0 5 6 】

半導体層6は、GaAsのほか、例えば、GaN、AlGaAs、InP、InGaN、AlGaN、AlN、AlAs、InGaAs、InAlAs、InGaAlP、InGaAsP、InGaPのいずれかの材料を含む化合物半導体材料が好適である。

【 0 0 5 7 】

第2基板7は、Si等の半導体基板のほか、例えば、Al、Cu、Cu-W等の金属基板、ガラス等の絶縁性基板、プラスチック等の可撓性基板が好適である。

【 0 0 5 8 】

複合部材から半導体層及び第2基板を分離する工程では、分離層5又はその近傍に流体（液体、又は、気体）Wを吹き付け、分離層5の内部、及び／又は、分離層5と半導体層6との界面、分離層5と第1基板4との界面に流体Wを注入することにより複合部材の当該注入部分に亀裂を発生させて分離を行うことが好適である。

【 0 0 5 9 】

[第3の実施形態（半導体素子の製造方法）]

以下、本発明の好適な第3の実施形態として、半導体素子を有する半導体層又は基板の製造方法について説明する。図3は、半導体素子を有する半導体層又は基板の製造方法を示す概略的に示す図である。

【 0 0 6 0 】

まず、図3（a）に示す工程（分離層形成工程、半導体層形成工程）において、Ge基板等の結晶性を有する第1基板（シード基板）10の上に、第1基板10とは格子定数の異なる半導体層、例えばInGaAsからなる分離層11をヘテロエピタキシャル成長させる。次いで、分離層11の上にGaAs等の半導体層12を形成する。

【 0 0 6 1 】

次いで、図3（b）に示す半導体素子形成工程において、半導体層12にLED等の半導体素子13を形成する。なお、典型的には、半導体素子形成工程では、単一の半導体素子が形成されるのではなく、複数の半導体素子のほか、それらを連結する配線等を含む半導体回路が形成され得る。

【 0 0 6 2 】

次いで、図3（c）に示す接合工程において、半導体層12を内側にして第1基板10を例えばSi基板等の第2基板（ハンドル基板）14に接合して複合部材（複合基板）15を形成する。

【 0 0 6 3 】

次いで、図1（d）に示す分離工程において、複合部材15の分離層11の内部、及び／又は、分離層11と半導体層12との界面、及び／又は、分離層第1の基板10との界面に面方向に広がる亀裂を生じさせて、半導体素子13を有する半導体層12及び第2基板14を複合部材15から分離する。以上の工程により、半導体素子13を有する半導体層12が第1基板（シード基板）10から第2基板（ハンドル基板）14へ移設され、図3（e）に示すように、第2基板14の上に、半導体素子13が形成された半導体層12を有する基板（或いは半導体デバイス）16が得られる。この分離には、例えば、第1の実施形態で説明した方法を適用することができる。

なお、半導体素子13を半導体層12の上に形成した後に、第1基板10を第2基板14に接合する方法のほか、分離により半導体層12を第1基板10から第2基板14へ移設した後に、移設された半導体層12に半導体素子13を形成してもよい。

【 0 0 6 4 】

例えば、Ge基板等の結晶性を有する第1基板（シード基板）10の上に、第1基板1

これは格子定数及び／又は熱膨張係数の異なるInGaAs等の半導体層12を形成し、半導体層12にLED等の半導体素子13を形成し、半導体層12を内側にして第1基板（シード基板）10をSi等の第2基板（ハンドル基板）14に接合して複合部材15を形成することにより、分離層11の内部、及び／又は、分離層11と半導体層12との界面、分離層11と第1の基板10との界面に、格子定数及び／又は熱膨張係数の不整合に起因する歪みエネルギーを集中的に生じさせることができる。そして、その後、複合部材15の全体、又は、その一部（例えば、分離層11の内部、及び／又は、分離層11と半導体層12との界面、分離層11と第1基板10との界面）に分離誘発力を印加することにより、複合部材15の内部に生じている歪みエネルギーを利用して複合部材15から半導体層12及び第2基板14を分離することができる。

第1基板（シード基板）10は、単結晶構造を有する材料により構成されることが望ましく、Ge基板のほか、例えば、Al₂O₃、SiC、GaAs、InP、Siの基板が好適である。

【0065】

分離層11は、第1の基板10とは格子定数及び／又は熱膨張係数の異なる材料により構成されるべきであり、InGaAsのほか、例えば、GaN、InGaN、AlGaN、AlN、AlAs、AlGaAs、InAlAs、InGaAlP、InGaAsP、InGaPの化合物半導体材料が好適である。

【0066】

半導体層12は、GaAsのほか、例えば、GaN、AlGaAs、InP、InGaN、AlGaN、AlN、AlAs、InGaAs、InAlAs、InGaAlP、InGaAsP、InGaPのいずれかの材料を含む化合物半導体材料が好適である。

【0067】

半導体素子13としては、LED（発光ダイオード）やレーザー等の発光素子、X線等の放射線を検出する受光素子、太陽電池等の光電変換素子、トランジスタ、ダイオード、キャパシタ等の素子が好適である。ここで、半導体素子13の形成工程（図3（b））は、半導体素子を覆う絶縁層を形成する工程、更には、その絶縁層を平坦化する工程を含むことが好ましい。

【0068】

第2基板（ハンドル基板）14は、Si等の半導体基板のほか、例えば、Al、Cu等の金属基板、ガラス等の絶縁性基板、プラスチック等の可撓性基板が好適である。

【0069】

また、第2基板14に、半導体素子13を駆動するための駆動回路が設けられていること、及び／又は、第2基板14が回路パターンが形成されたプリント基板であることが好適である。この場合、半導体素子13を含む回路の接続電極と第2基板の駆動回路の接続電極またはプリント基板の接続電極とが電気的に接続される。

【0070】

複合部材から半導体層及び第2基板を分離する工程では、分離層11又はその近傍に流体（液体、又は、気体）Wを吹き付け、分離層11の内部、及び／又は、分離層11と半導体層12との界面、及び／又は、分離層11と第1基板10との界面に流体Wを注入することにより複合部材の当該注入部分に亀裂を発生させて分離を行うことが好適である。

【実施例】

【0071】

以下、本発明の具体的な実施例を説明するが、本発明は、これらの実施例に限定されない。 【実施例1】

まず、MOCVD法により、Ge基板（シード基板）1上に、InGaAs層2（厚さ10nm）をヘテロエピタキシャル成長させ（図1（a））、その上にGaAs層3（厚さ200μm）をエピタキシャル成長させて複合部材1aを形成する（図1（b））。

【0072】

次いで、複合部材1aの側面からInGaAs層2に対して分離誘発力を印加する。具体的には、数M~100MPaの圧力をかけた純水を口径0.1mmの細いノズルから吹き出すいわゆるウォータージェットWをInGaAs層2の側面又はその近傍に吹き付けることにより、InGaAs層2の内部、及び／又は、InGaAs層2とGaAs層3との界面、及び／又は、InGaAs層2とGe基板1との界面に面方向に広がる亀裂を生じさせて、複合部材1a（Ge基板1）からGaAs層3を分離することができる（図1（c））。

【0073】

分離後のGe基板は、必要に応じて、その表面に研磨、エッチング等の平坦化処理を施すことにより、繰り返し使用することができる。

【0074】

【実施例2】

まず、MOCVD法により、Ge基板（シード基板）4上に、InGaAs層5（厚さ10nm）をヘテロエピタキシャル成長させ、その上にGaAs層6（厚さ3μm）をエピタキシャル成長させる（図2（a））。

【0075】

次いで、GaAs層6を内側にしてGe基板4をSi基板（ハンドル基板）7に接合して複合部材8を形成する（図2（b））。ここで、接合に先立って、GaAs層6とSi基板7の各表面上にCr膜（厚さ10nm）、Au膜（厚さ200nm）を順次形成し（不図示）、その後、両表面上のAu膜同士を密着させ、圧力を印加しながら加熱することにより、十分な接合強度を有する複合部材8が得られる。

【0076】

次いで、複合部材8の側面からInGaAs層5に対して分離誘発力を印加する。具体的には、数M~100MPaの圧力をかけた純水を口径0.1mmの細いノズルから吹き出すいわゆるウォータージェットWをInGaAs層5の側面又はその近傍に吹き付けることにより、InGaAs層5の内部、及び／又は、InGaAs層5とGaAs層6との界面、及び／又は、InGaAs層5とGe基板4との界面に面方向に広がる亀裂を生じさせて、複合部材8（Ge基板4）からGaAs層6を分離することができる（図2（c））。

【0077】

これにより、Si基板7上に金属層（不図示）を介してGaAs層6を有する半導体基板9が得られる。

【0078】

また、分離後のGe基板は再使用が可能である。必要に応じて、分離後のGe基板の表面に研磨、エッチング等の平坦化処理を施すことにより、繰り返し使用することができる。

【0079】

この実施例では、歪エネルギーを内在する分離層を一層のInGaAs層で構成したが、In組成の異なる複数の層で構成することも可能である。

【0080】

例えば、Inの組成比が1%より大きいInGaAs層はGe基板より格子定数が多いが、Inの組成比が1%以下のInGaAs層はGe基板より格子定数が小さいので、引っ張り、圧縮の双方の歪を内在させることが可能である。また、InGaAs層に替えてInGaP層またはInGaAsP層等の組成材料でも、歪の成分、大きさを制御可能である。

【0081】

また、GaAs層とSi基板とをAu膜を介して接合させているが、GaAs層及びSi基板の表面に真空状態でスパッタ・クリーニングを施し、その後、その表面同士を密着させて圧力を印加することにより、GaAs層とSi基板とを直接接合させることも可能である。

【実施例3】

この実施例では、分離を更に容易に行うための分離補助層を利用する方法を説明する。

【0083】

まず、MOCVD法により、Ge基板（シード基板）17上に、AlAs層18（厚さ50nm）、InGaAs層19（Inの組成0.2、厚さ10nm）、GaAs層20（厚さ3μm）を連続的にエピタキシャル成長させる（図4（a））。ここで、AlAs層18は分離補助層として、InGaAs層19は分離層として機能する。

【0084】

次いで、GaAs層20を内側にしてGe基板17をSi基板21に接合して複合部材22を形成する（図4（b））。また、接合に先立って、GaAs層20とSi基板21の各表面上にCr膜（厚さ10nm）、Au膜（厚さ200nm）を順次形成し（不図示）、その後、両表面上のAu膜同士を密着させ、圧力を印加しながら加熱することにより、十分な接合強度を有する複合部材22が得られる。

【0085】

次いで、複合部材22を硫酸加水液（エッチング液）中に浸漬して、GaAs層20／InGaAs層19を部分的に除去して、複合部材22の周辺部にAlAs層18の側面を露出させ、AlAs層18の周辺部をフッ酸加水溶液（エッチング液）によって選択的にエッチング除去して、複合部材22の周辺部に凹部23を形成する。この凹部23は、分離のために注入される流体をAlAs層18又はその界面にガイドして、分離のための力をAlAs層18又はその界面に集中させるように機能し得る。AlAsは、GaAs、InGaAsに比べてエッチングが格段に速く進む上、水分で酸化されたその酸化物は水溶性であるため、ウォータジェットWによる分離中に、複合部材22の周辺部のAlAs層18が選択的にエッチングされた領域が形成され、ウォータジェットの純粋に溶解する作用も期待される。

【0086】

次いで、数M～100MPaの圧力をかけた純水を口径0.1mmの細いノズルから吹き出すいわゆるウォータジェットWを複合部材22の凹部23又はその近傍に吹き付ける。ウォータジェットWが複合部材22を2枚の基板に分割する力（2枚の基板に分離された部分を引き離す力）が凹部23に集中することにより、複合部材22は、蓄積された歪エネルギーが開放されながら2枚の基板に分割される。（図4（c））

これにより、Si基板21の上にAu及びCrからなる金属層（不図示）を介してGaAs層20を有する半導体基板24を得ることができる。

【0087】

この実施例では、一対の分離層及び分離補助層を形成したが、例えば、複数対の分離層及び分離補助層を形成してもよいし、In組成の異なる層を分離層及び分離補助層として形成してもよい。

【0088】

分離補助層は、例えば、分離補助層の上下に接する層よりAlを多く含むようにその組成が決定されることが好ましい。分離補助層は、AlAsのほか、例えば、Al_xGa_{1-x}As（x>0.95）で示される材料により構成されることが好ましい。

【0089】

【実施例4】

この実施例は、分離層を、基板より格子定数の大きい層と小さい層の積層構成にするものである。

【0090】

まず、MOCVD法により、Ge基板上に、格子定数がGeより小さいInの組成が0.28のInGaP層（厚さ5nm）、格子定数がGeより大きいInの組成が0.2のInGaAs層（厚さ5nm）、GaAs層（厚さ3μm）を連続的にエピタキシャル成長させる。

【0091】

この構成により、InGaP層とInGaAs層との界面には大きな歪エネルギーが集中的に内在するが、InGaP層とInGaAs層との積層構成からなる分離層全体では格子定数の大小が平均化されるので、Ge基板とInGaP層、及びInGaAs層とGaAs層の界面の格子定数差は緩和される。よって、結晶性の良好なGaAs層が得られる。

【0092】

その後、実施例3と同様に、Ge基板にSi基板を接合し、次いで分離を行う。

【0093】

【実施例5】

図5に示すように、Ge基板25の上に、AlAs層26からなる分離補助層、InGaAs層27からなる分離層を形成し、その表面に、n型GaAs層28、n型Al_{0.35}Ga_{0.65}As層29、n型Al_{0.13}Ga_{0.87}As層30、n型Al_{0.35}Ga_{0.65}As層31、n型GaAs層32 (y<x)を順次エピタキシャル成長させる(図5(a))。

【0094】

エピタキシャル成長層の不純物濃度や厚さは、デバイスの設計に依存するが、典型的な構成は以下の通りである。

【0095】

n型GaAs層28 : 0.05~0.5 μm ; Siドーピング
n型Al_{0.35}Ga_{0.65}As層29 : 1 μm ; Siドーピング
n型Al_{0.13}Ga_{0.87}As層30 : 0.5 μm ; Siドーピング
n型Al_{0.35}Ga_{0.65}As層31 : 1 μm ; Siドーピング
n型GaAs層32 : 0.1~0.5 μm ; Siドーピング
Siドーピングは、キャリア濃度が10¹⁷/cm³程度となるように行った。

【0096】

次いで、n型GaAs層32の上にn型金属電極層33を形成し、この面にSi基板34を接合させて複合部材35を形成する(図5(a))。

【0097】

次いで、AlAs層26からなる分離補助層、InGaAs層27からなる分離層の側面に細く絞った高圧水流(ウォータージェット)Wを吹き付ける。これにより、ウォータージェットWが複合部材35を2枚の基板に分割する力(2枚の基板に分離された部分を引き離す力)がAlAs層18の両側に加わって複合部材22が2枚の基板に分割される。次いで、n型Al_{0.35}Ga_{0.65}As層29に面発光型のLEDを形成する(図5(c))。具体的には、スパッタにより絶縁層36を全面に形成し、フォトリソグラフィー及びドライエッチングにより絶縁層36に窓を形成する。次いで、スパッタによりZnSiOを成膜し、その後、熱拡散を行うことにより、窓領域をp型領域37に転換する。そして、p側金属電極38をp型領域37上に形成する。

【0098】

このようにして、面発光型LED素子を得ることができる。

【0099】

【実施例6】

まず、MOCVD法により、GaAs基板上にInGaAs層、GaAs層をエピタキシャル成長させる。InGaAs層は、Inの組成の増大とともに格子定数は大きくなるため、Inの組成の増大にともなってGaAs基板との格子定数の不整合が増加し、InGaAs層の内部に歪エネルギーが生じることになる。

【0100】

この実施例では、GaAs基板上に、Inの組成が0.2のInGaAs層(厚さ10 nm)とGaAs層(厚さ3 μm)を連続的にエピタキシャル成長させる。

【0101】

次いで、GaAs層を内側にしてGaAs基板をSi基板に接合する。このとき、接合

に立って、GaAs層とSi基板の各表面上にIn膜（厚さ100nm）、Au膜（厚さ200nm）を順次成膜し、その後、両表面上のAu膜同士を密着させ、圧力を印加しながら加熱することにより、十分な接合強度を有する複合部材が得られる。

【0102】

次いで、複合部材の側面からInGaAs層に対して力を印加する。具体的には、数M～100MPaの圧力をかけた純水を口径0.1mmの細いノズルから吹き出すいわゆるウォータージェットをInGaAs層の側面又はその近傍に吹き付けることにより、InGaAs層の内部、及び／又は、InGaAs層とGaAs層との界面、及び／又は、InGaAs層とGaAs基板との界面に面方向に広がる亀裂を生じさせて、複合部材（GaAs基板）からGaAs層を分離することができる。

【0103】

これにより、Si基板上にAu、Crの金属層を介してGaAs層を有する半導体基板が得られる。

【0104】

また、分離後のGaAs基板は再使用が可能である。必要に応じて、分離後のGaAs基板の表面に研磨、エッチング等の平坦化処理を施すことにより、繰り返し使用することができる。

【0105】

この実施例では、歪エネルギーを内在する分離層を一層のInGaAs層で構成したが、In組成の異なる複数の層で構成することも可能である。

【0106】

例えば、InGaAs層はGaAs基板より格子定数大きい、InGaAs層に替えてInGaP層又はInGaAsP層を採用することによってGaAs基板より格子定数を小さくすることで、圧縮歪を内在させる構成も可能である。

【0107】

また、GaAs層とSi基板とをAu膜を介して接合しているが、GaAs層及びSi基板の表面に真空状態でスパッタ・クリーニングを施し、その後、その表面同士密着させて圧力を印加することにより、GaAs層とSi基板とを直接接合させることも可能である。

【0108】

【実施例7】

この実施例では、分離を更に容易に行うための分離補助層を設ける。

【0109】

まず、MOCVD法により、GaAs基板上に、分離補助層としてのAlAs層（厚さ50nm）、分離層としてのInの組成が0.2のInGaAs層（厚さ10nm）、半導体層としてのGaAs層（厚さ3μm）を連続的にエピタキシャル成長させる。

【0110】

次いで、GaAs層を内側にしてGaAs基板をSi基板に接合する。また、接合に先立ってGaAs層とSi基板の各表面上にCr膜（厚さ10nm）、Au膜（厚さ200nm）を順次成膜し、その後、両表面上にAu膜同士を密着させ、圧力を印加しながら加熱することにより、十分な接合強度を有する複合部材が得られる。

【0111】

次いで、この複合部材をAlAs層及びInGaAs層の近傍で分割するために、まず、複合部材の周辺部をエッチングする。エッチング液として硫酸：過酸化水素：水の混合液を用いて、複合部材の周辺部に凹部を形成する。AlAsは、GaAs、InGaAsに比べてエッチングが格段に速く進む上に、水分で酸化されたその酸化物は水溶性であるため、複合部材の周辺部のAlAs層が選択的にエッチングされた領域が形成される。

【0112】

次いで、数M～100MPaの圧力をかけた純水を口径0.1mmの細いノズルから吹き出すウォータージェットを複合部材の凹部又はその近傍に吹き付ける。純水に晒されたA

AlAs層は、酸化の進行とともに溶出するため、フォークシエットの圧力が後口部材を2枚の基板に分割する力に加えて、AlAs層のエッチングが急速に進むことで、複合部材は分割される。

【0113】

これにより、Si基板上にAu及びCrからなる金属層を介してGaAs層を有する半導体基板を得ることができる。

【0114】

この実施例では、一対の分離層及び分離補助層を形成したが、例えば、複数対の分離層及び分離補助層を形成してもよいし、In組成の異なる層を分離層及び分離補助層として形成してもよい。

【実施例8】

この実施例は、分離層を、基板より格子定数の大きい層と小さい層の積層構成にするものである。

【0115】

まず、MOCVD法により、GaAs基板上に、格子定数がGaAsより小さいInの組成が0.28のInGaAsP層（厚さ5nm）、格子定数がGaAsより大きいInの組成が0.2のInGaAs層（厚さ5nm）、GaAs層（厚さ3μm）を連続的にエピタキシャル成長させる。

【0116】

この構成により、InGaAsP層とInGaAs層との界面には大きな歪エネルギーが集中的に内在するが、InGaAsP層とInGaAs層との積層構成からなる分離層全体では格子定数の大小が平均化されるので、GaAs基板とInGaAsP層との界面、並びに、InGaAs層とGaAs層との界面において、格子定数の不整合は緩和される。よって、結晶性の良好なGaAs層が得られる。

【0117】

その後、実施例7と同様に、GaAs基板にSi基板を接合し、次いで分離を行う。

【0118】

【実施例9】

この実施例は、分離層を、基板とは熱膨張係数の異なる層により構成するものである。このような分離層によれば、基板および分離層上の半導体層と格子定数の不整合を小さくできるので、分離層の上に厚い半導体層を形成しても、欠陥の発生を極めて小さく抑制できる。

【0119】

まず、MOCVD法により、GaAs基板上に、格子定数がGaAsとほぼ等しいInの組成が0.51のInGaP層（厚さ20nm）、GaAs層（厚さ3μm）を連続的にエピタキシャル成長させる。

【0120】

InGaP層の熱膨張係数は $5.926 \times 10^{-6} / \text{deg}$ であり、GaAsの $5.70 \times 10^{-9} / \text{deg}$ と約4.2%の違いを有している。しかしながら、格子定数はほぼ等しいことから、GaAs基板とInGaP層、及びInGaP層とGaAs層の界面では、格子定数の不整合は緩和される。よって、結晶性の良好なGaAs層が得られる。

【0121】

その後、実施例7と同様に、GaAs基板にSi基板を接合し、次いで分離を行う。

【0122】

【実施例10】

8インチ径のAl₂O₃基板を1000℃以上の高温で水素に曝して洗浄及び平坦化した後、水素のキャリアガスにGa、Al有機金属化合物とNH₃ガスを用いたMOCVD法により、AlN層を500℃で20～100nmの厚みに堆積して緩衝層を形成する。この緩衝層は、微結晶粒界構造を有しており、500℃程度の低温で堆積しているため、1000℃程度の高温で成長する場合と比較すると空間的に均一かつ平坦に堆積すること

がである。その減圧処理後の入浴はA l Nの場合には1 0 0 0℃程度に昇温し、この緩衝層の上にG a N層を形成し、更にその上部にL E Dの活性層のためのP N接合の多層構造を形成した。

【0 1 2 3】

次いで、A l₂O₃基板上のL E D多層構造の上にP d膜、A u膜を順次堆積して金属電極層を形成する。他方の支持基板として8 インチ径のS i基板を準備し、S i基板の表面にA l膜、S n膜を順次成膜して金属電極層を形成する。A l金属層は、図6に示すように、A u等に比較して紫外光領域において高い反射率を有する。

【0 1 2 4】

G a N系のデバイスの発光波長は、典型的には青、紫、紫外領域にあり、それに応じて最適な反射金属を選択することが必要となる。図5において、紫外領域まで反射率が維持できるのはA l、R hなどが好適である。

【0 1 2 5】

その後、L E D多層構造上の電極層とS i基板上の電極層とを互いの表面を密着させ、更に3 0 0℃で加熱処理して、接合界面のA u／S nを合金化させることにより融着させ、接合界面の接合強度を著しく強化した複合部材を得た。

【0 1 2 6】

次いで、この複合部材を燐酸溶液に浸漬し、歪及び結晶欠陥が集中するA l Nの緩衝層を、複合部材の外周端面の全周に沿って、数十ミクロン、端面から中心に向かって後退させて凹部を形成する。

【0 1 2 7】

次いで、複合部材を略垂直に通る軸を中心に回転させながらこの凹部へ0 . 1 mmに絞った純水の収束流体を0 . 3 Nの圧力で注入し、A l N層の内部、及び／又は、A l N層とG a N層との界面、及び／又は、A l N層とA l₂O₃基板との界面で、A l₂O₃基板をG a N層にダメージを与えることなく分割することができた。その結果、その上部に形成されていたL E D構造である多層膜がS i基板の上に移設された。

【0 1 2 8】

L E Dの発光波長を吸収するG a N層を化学機械研磨法（C M P）で除去した後、T i膜、A l膜を順次堆積して、オーミック電極を形成し、メッシュ状にパターニングした。

【0 1 2 9】

この後、L E D素子をチップ状に切断して、L E Dチップを得ることができた。

【0 1 3 0】

【実施例1 1】

実施例9と同様に、M O C V D法により、8 インチ径のA l₂O₃基板上に微結晶粒界構造を有するG a N層からなる緩衝層をヘテロエピタキシャル成長させ、その上にG a N層を成長させる。

【0 1 3 1】

次いで、その上部にリッジ型レーザーダイオードのデバイス層を積層した。デバイス層上にP d膜、A u膜を順次堆積して金属電極層を形成する。他方の支持基板として8 インチ径のS i基板を準備し、S i基板の表面にT i膜、A u膜、S n膜を順次堆積して金属電極層を形成する。

【0 1 3 2】

その後、レーザーダイオードのデバイス層上の電極層とS i基板上の電極層とを互いの表面を密着させ、更に3 0 0℃で加熱処理して、接合界面のA u／S nを合金化させることにより融着させ、接合界面の接合強度を著しく強化した複合部材を得た。

【0 1 3 3】

次いで、この複合部材を燐酸溶液に浸漬し、歪及び結晶欠陥が集中するG a Nの緩衝層を、複合部材の外周端面から全周に沿って、数十ミクロン、端面から中心に向かって後退させて凹部を形成する。

【0 1 3 4】

次いで、複合部材を平坦面に通る軸を中心に回転させながらこの凹部、 0.1 mm に収った純水の収束流体を 0.3 N の圧力で注入し、 Ga N の緩衝層の内部及び／又は Ga N 層と Al_2O_3 基板との界面で、 Ga N 層にダメージを与えることなく分離することができた。その結果、その上部に形成されていたレーザーダイオード構造である多層膜が Si 基板の上に移設された。

【0135】

従来、 Al_2O_3 基板上に作成されたレーザーダイオードの共振器部分の形成のために、活性層のへき開面が必要となるが、 Al_2O_3 基板のへき開性が乏しいために共振器の鏡端面の形成が困難であった。

【0136】

この実施例のように、へき開性が高い Si 基板を Ga N のレーザーダイオードの支持基板として用いた場合には、容易な共振器の形成が可能となった。又、熱放散に優れた Si 基板にレーザーが設置されているため、効率良く電力が供給される。

【0137】

【実施例12】

まず、 MOCVD 法により、8インチ径の Al_2O_3 基板上に微結晶粒界構造を有する Al N 層からなる緩衝層をヘテロエピタキシャル成長し、その上に Ga N 層を成長させた。

【0138】

次いで、その上部に面発光レーザー（ VCSEL ）構造のデバイス層を形成した。熱放散が優れた Cu を8インチに整形した支持基板上に、誘電体 DBR ミラーを堆積した。結晶成長中に半導体 DBR ミラーを介在させるよりも、支持基板上に誘電体 DBR ミラーを形成した方が、より材料選択（屈折率）が自由になり、結果として高性能な反射ミラーが形成され面発光レーザーの発光効率が向上する。

【0139】

次いで、両者を互いに密着させ、熱処理を施して接合強度を高めた複合部材を得た。

【0140】

次いで、この複合部材の Al N 層の側面に向けて純水の収束流体を注入し、複合部材を分割し、高い反射率を持つ誘電体 DBR ミラー上に設置されたレーザーダイオード構造である多層膜が Si 基板の上に移設された。

【0141】

その他に、 Al_2O_3 基板に変えて Si C 基板を用いることも同様に可能である。

【図面の簡単な説明】

【0142】

【図1】基板から半導体層を分離する方法を概略的に示す図である。

【図2】半導体層を有する基板の製造方法を概略的に示す図である。

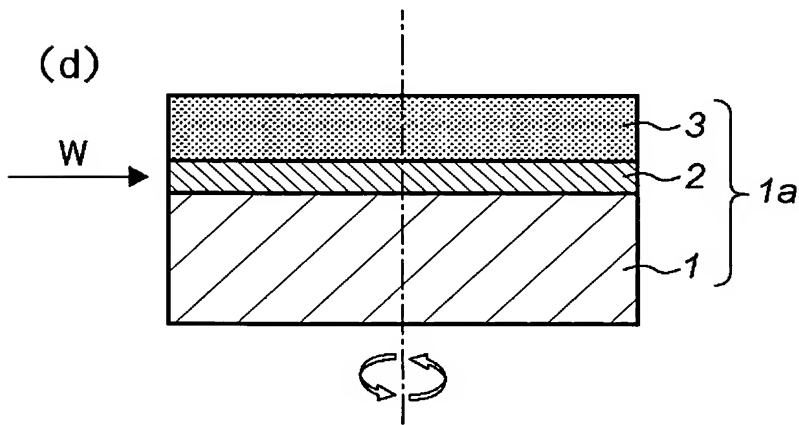
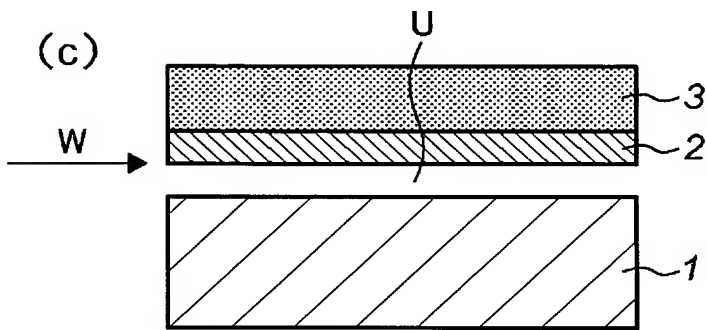
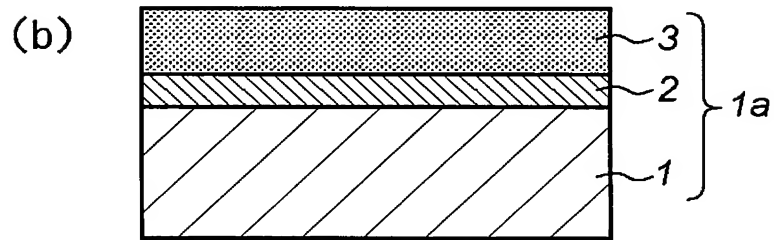
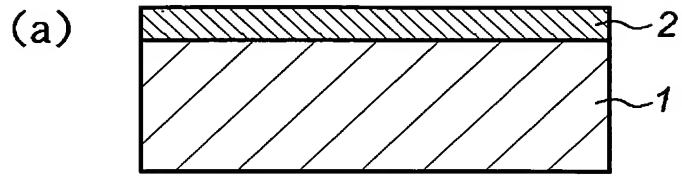
【図3】半導体素子を有する半導体層又は基板の製造方法を示す概略的に示す図である。

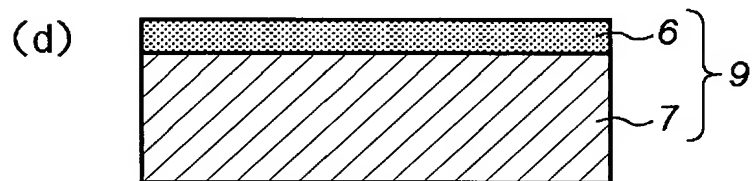
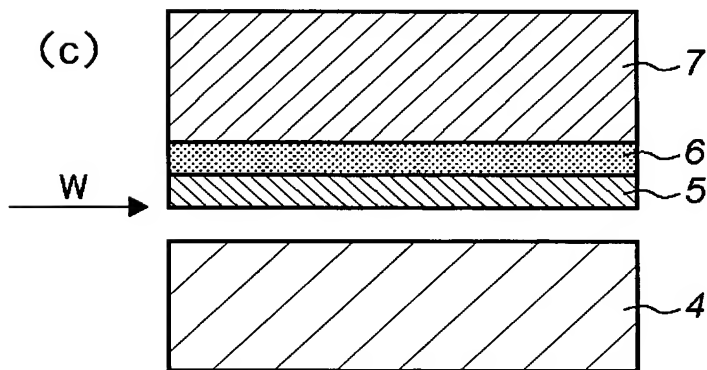
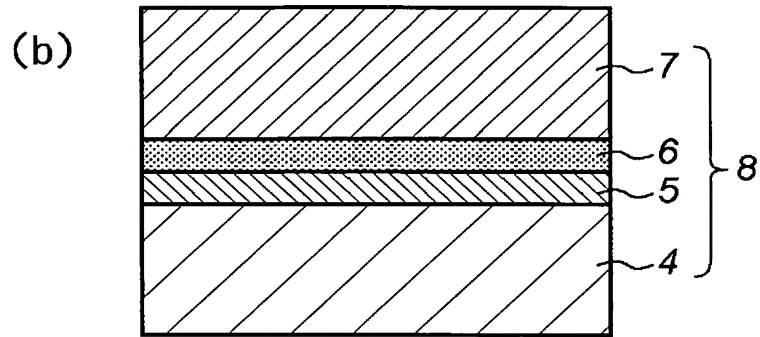
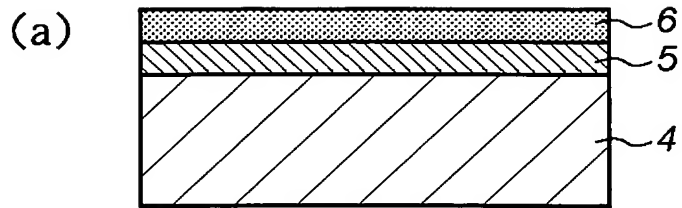
【図4】分離補助層を利用して半導体層を分離する工程を含む基板（又は半導体デバイス）の製造方法を概略的に示す図である。

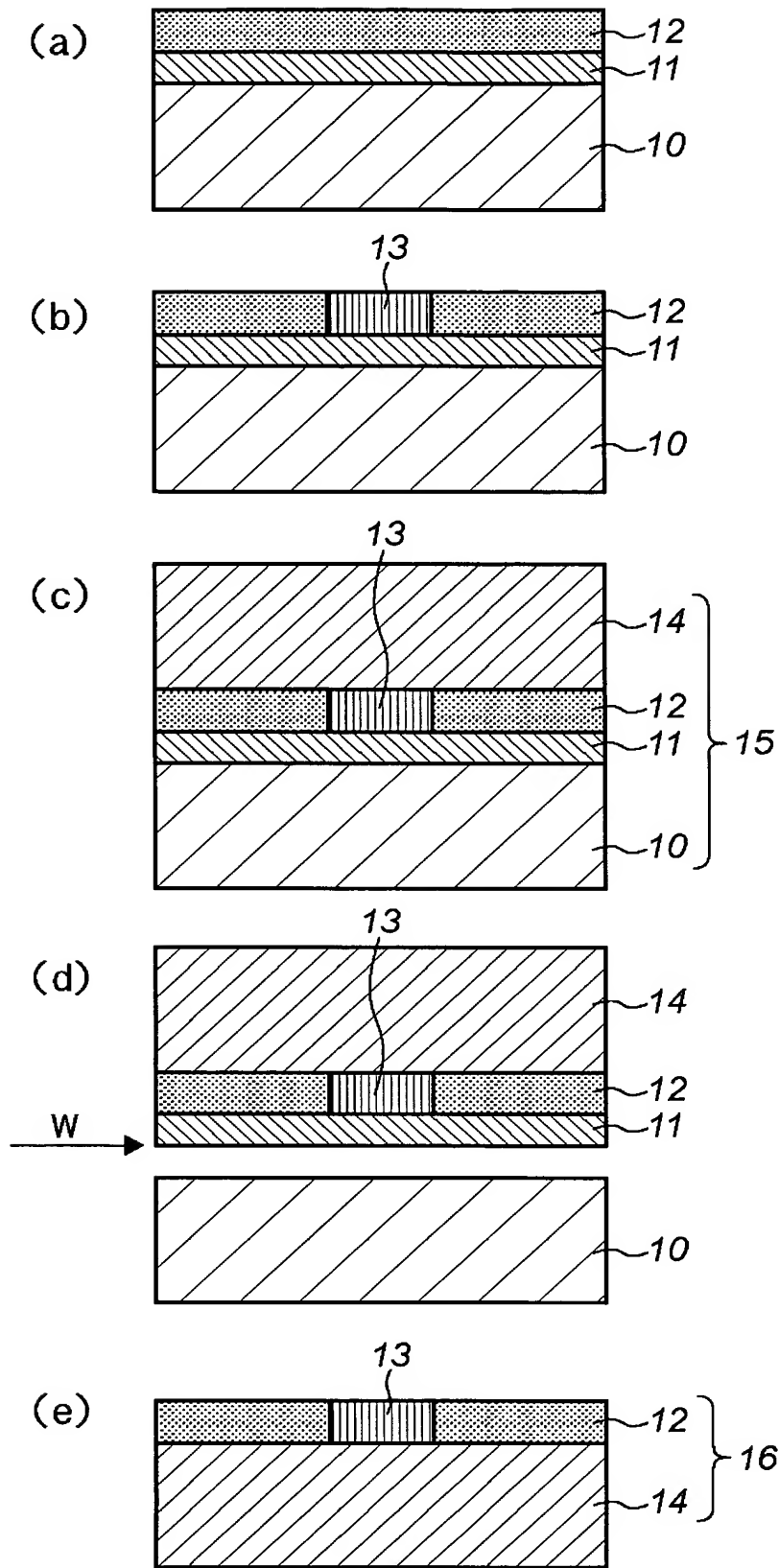
【図5】分離補助層を利用して半導体層を分離する工程を含む基板（又は半導体デバイス）の製造方法を概略的に示す図である。

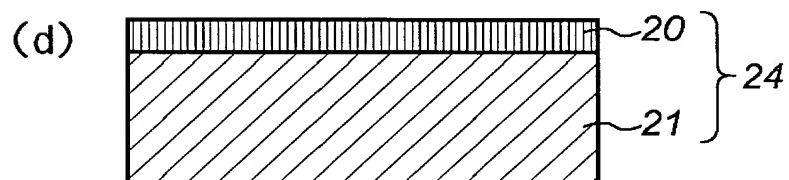
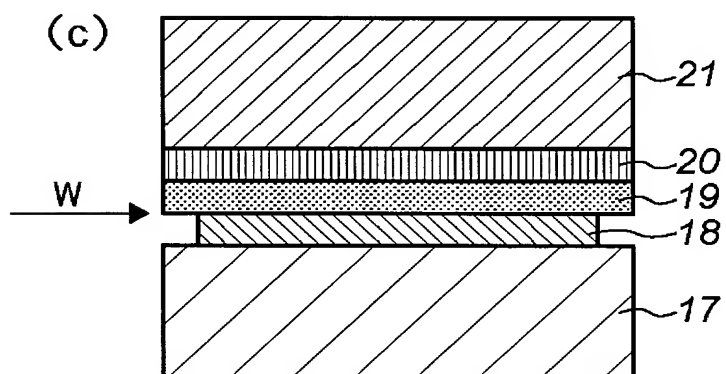
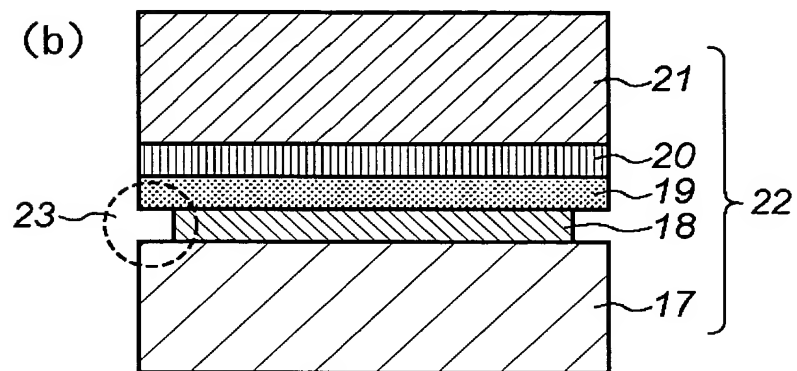
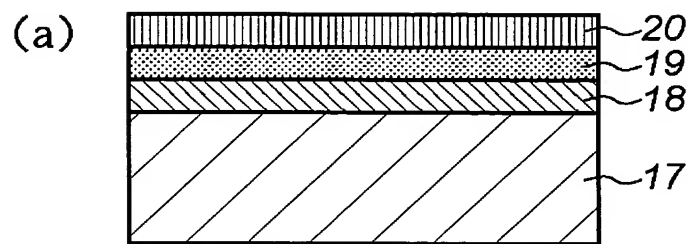
【図6】金属薄膜の反射率を示す図である。

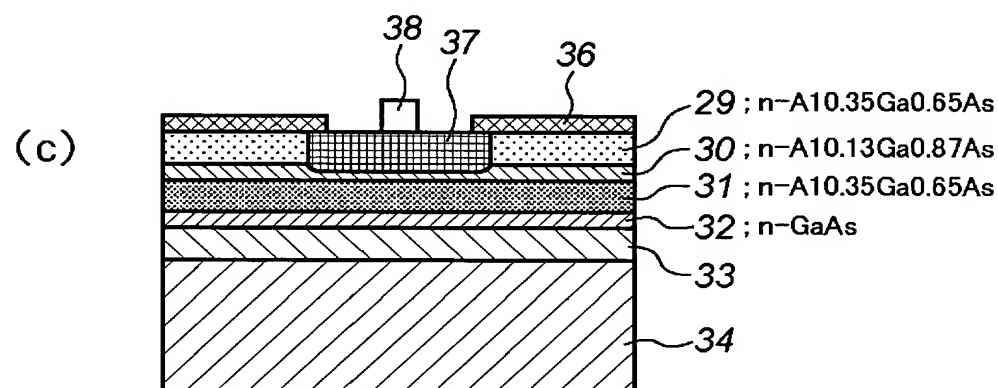
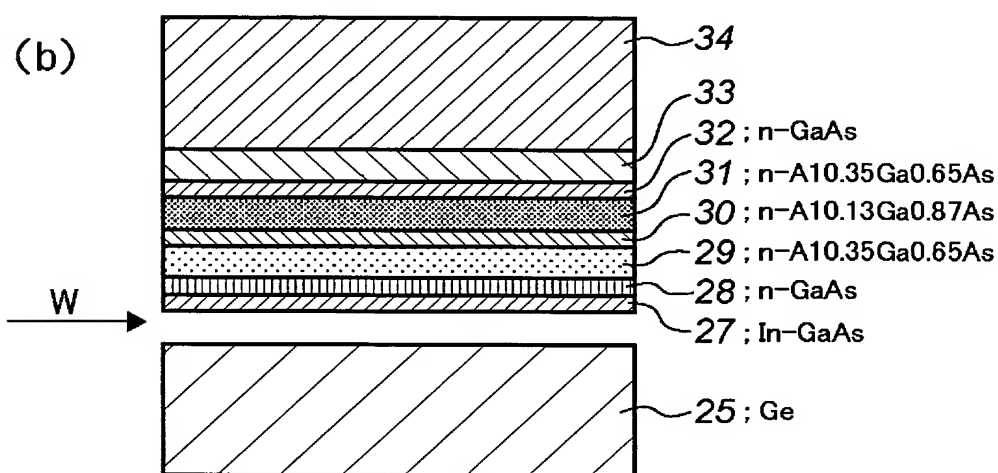
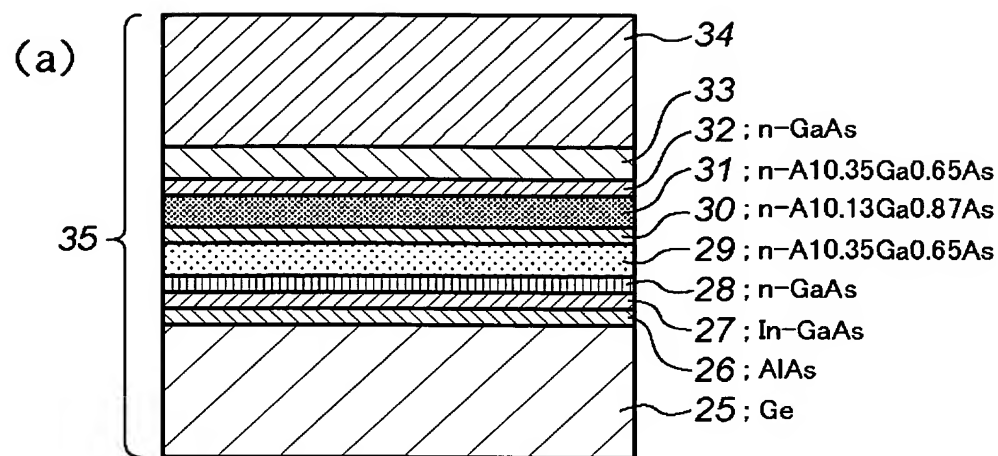
【 図 1 】











金属薄膜の反射率[%]

波長 λ (μm)	Ag	Al	Au	Cd	Cu	Ni	Pt	Rh	Sn
紫外線域 (0.28)	25.2	92.3	37.8	$\lambda = 0.251$ 36	33.0	37.6	43.1	68.5	$\lambda = 0.251$ 17
紫色 (0.4)	94.8	92.4	38.7	$\lambda = 0.357$ 60	47.5	$\lambda = 0.361$ 41.2	$\lambda = 0.361$ 52.4	77.6	$\lambda = 0.357$ 27
赤色 (0.7)	98.5	89.9	97.0	—	97.5	68.8	69.0	80.4	—
赤外線域 (1.0)	98.9	93.9	98.2	—	98.5	72.0	77.0	85.0	—

【要約】 要約

【課題】

新規の分離技術を利用した半導体層の製造方法及びその応用を提供する。

【解決手段】 本発明の半導体層の製造方法は、シード基板 1 上に分離層 2 をヘテロエピタキシャル成長させる分離層形成工程（a）と、分離層 2 上に半導体層 3 を形成する半導体層形成工程（b）と、半導体層形成工程を経て形成される複合部材 1 a から分離層 2 を利用して半導体層 3 を分離する分離工程（c）とを含む。

【選択図】 図 1

0 0 0 0 0 1 0 0 7

19900830

新規登録

5 9 5 0 1 7 8 5 0

東京都大田区下丸子3丁目30番2号
キャノン株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/011388

International filing date: 15 June 2005 (15.06.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-185237
Filing date: 23 June 2004 (23.06.2004)

Date of receipt at the International Bureau: 22 July 2005 (22.07.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse